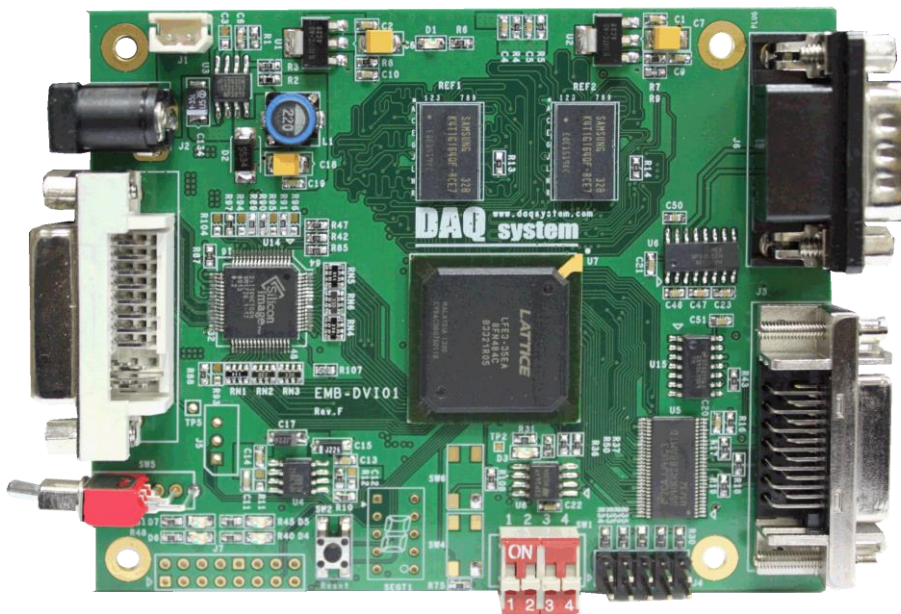


# Camera Link to DVI Converter (EMB-DVI01) User's Manual



**Windows, Windows2000, Windows NT and Windows XP** are trademarks of **Microsoft**. We acknowledge that the trademarks or service names of all other organizations mentioned in this document as their own property.

Information furnished by DAQ system is believed to be accurate and reliable. However, no responsibility is assumed by DAQ system for its use, nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or copyrights of DAQ system.

The information in this document is subject to change without notice and no part of this document may be copied or reproduced without the prior written consent.

Copyrights © 2005 DAQ system, All rights reserved.

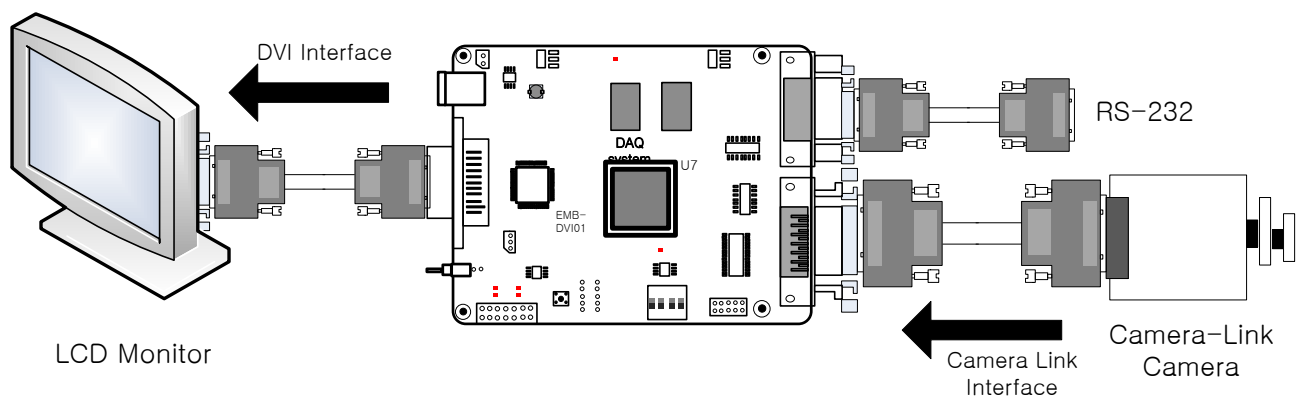
## -- 목 차 --

1. Introduction 및 기능
2. 동작 설명
  - 2.1 Block Diagram
  - 2.2 보드 기능 설명

## 1. Introduction 및 기능

EMB-DVI01은 고가의 Camera Link 카메라 테스트 보드이다. 출력 포트로 DVI(Digital Video Interface)를 사용하여 일반 모니터에서 Camera Link 카메라의 출력 이미지를 볼 수 있다.

EMB-DVI01은 표준 Camera Link 규격에 맞게 설계 되었기 때문에 Camera Link 규격에 맞는 모든 카메라에 사용이 가능하다.



[그림 1-1. EMB-DVI01 보드 사용 예]

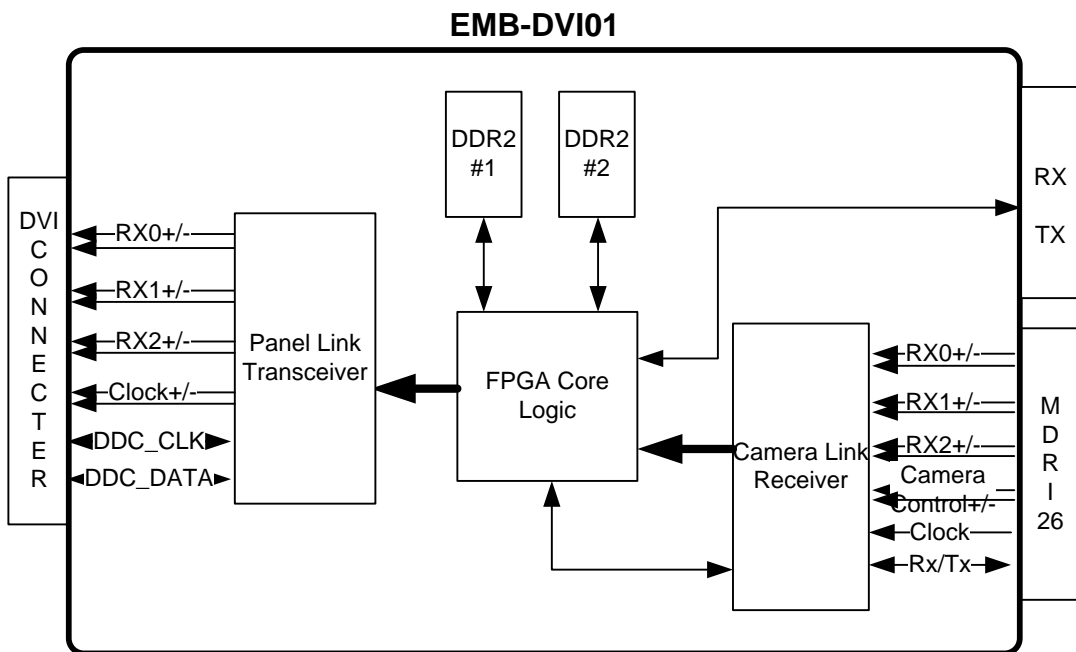
### [EMB-DVI01의 주요 특징]

- 표준 Camera Link 규격 지원
- Base Camera Link 지원
- 최대 85Mhz Pixel Clock 지원
- Camera Link(Input) to DVI(Output) Converter
- 256MByte Image Buffer
- 간단한 연결로 장치 Driver나 API가 필요 없다.
- 7 ~ 24V DC Power connector

## 2. 동작 설명

### 2.1 Block Diagram

아래 그림에서 보듯이 EMB-DVI01의 경우 전체적인 제어를 FPGA Core Logic에서 담당을 하고 있다. 주요 기능으로는 MDR26 커넥터로부터 Frame Data 수신하여 DVI 커넥터로 보낼 수 있게 신호를 변환해 준다. 이러한 기능들은 자동적으로 수행된다.

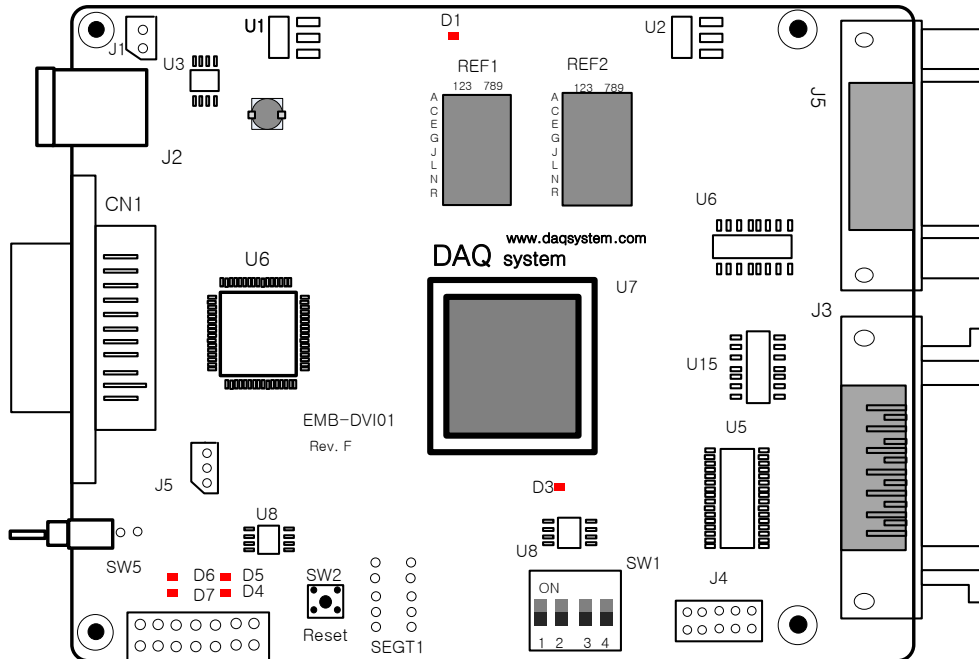


[그림 2-1. EMB-DVI01 블록도]

FPGA core logic의 프로그램은 JTAG를 이용하여 하고 있으며, FPGA Program Logic에서 logic 프로그램을 저장하고, 전원 인가 시 로드하는 기능을 한다.

## 2.2 보드 기능 설명

EMB-DVI01 Board



[그림 2-2. EMB-DVI01 외형도]

보드에는 2개의 중요한 LED가 있으며 각각의 설명은 다음과 같다.

- D1** : 전원이 공급되면 점등한다.
- D3** : 보드가 Configuration이 끝나고 동작 준비가 완료되면 점등이 된다.

각각의 보드 기능에 대하여 간략히 설명한다. 자세한 기능에 대한 내용은 부품 사양을 참조하기 바랍니다.

### (1) FPGA : U7

보드의 모든 기능은 이 FPGA Logic을 통하여 제어된다.

### (2) DVI Transceiver : U6

FPGA에서 전송 받은 이미지 데이터를 DVI 신호로 변환해 커넥터(CN1)을 통해 전송한다.

### (3) LVDS Channel : U5

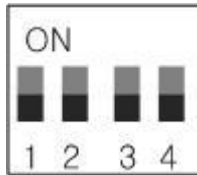
카메라 링크 채널 receiver로 직렬 이미지 신호를 병렬 신호로 변환해 FPGA로 전송한다.

**(4) Regulator : U1, U2, U3, U4, U12**

보드에서 사용하는 3.3V 전원을 공급한다.

**(5) DDR Memory : REF1, REF2**

Camera Link의 DATA를 프레임 단위로 저장 후 FPGA를 통해 DVI로 전송한다.

**(6) Setup Switch : SW1**

SWITCH 4 (DVAL USE)

OFF : DVAL USE

ON : DVAL NOT USE

SWITCH 3 (Output Mode)

OFF : DVI 24BIT에 Camera Link 24BIT를 그대로 출력

ON : DVI 24BIT에 아래 스위치1, 2번에 설정된 SHIFT된 DATA의 LSB 8BIT 3개를 출력

SWITCH 1, 2 (DATA SHIFT Setup, )

1 2

OFF OFF : NO SHIFT

OFF ON : 6BIT SHIFT (14BIT CAMERA 경우에 사용)

ON OFF : 8BIT SHIFT(16BIT CAMERA 경우에 사용)

ON ON : //

예를 들면, 16bit CAMERA 경우에 유용, 8BIT를 SHIFT하면 상위 8BIT가 LSB 8BIT에 위치하므로 3번 스위치가 ON되면 16BIT중 상위 8BIT가 화면으로 출력이 됨.

**(7) RS-232 Transceiver : U6**

J5를 통해 RS-232 통신을 할 수 있다.

**(8) Power Connector : J2**

24V CONNECTER (DC-005(2.0))



DC 24V