

# PCI-EK01 Register Level Application Guide (Ver1.1)



**Windows, Windows2000, Windows NT and Windows XP** are trademarks of **Microsoft**. We acknowledge that the trademarks or service names of all other organizations mentioned in this document as their own property.

Information furnished by DAQ system is believed to be accurate and reliable. However, no responsibility is assumed by DAQ system for its use, nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or copyrights of DAQ system.

The information in this document is subject to change without notice and no part of this document may be copied or reproduced without the prior written consent.

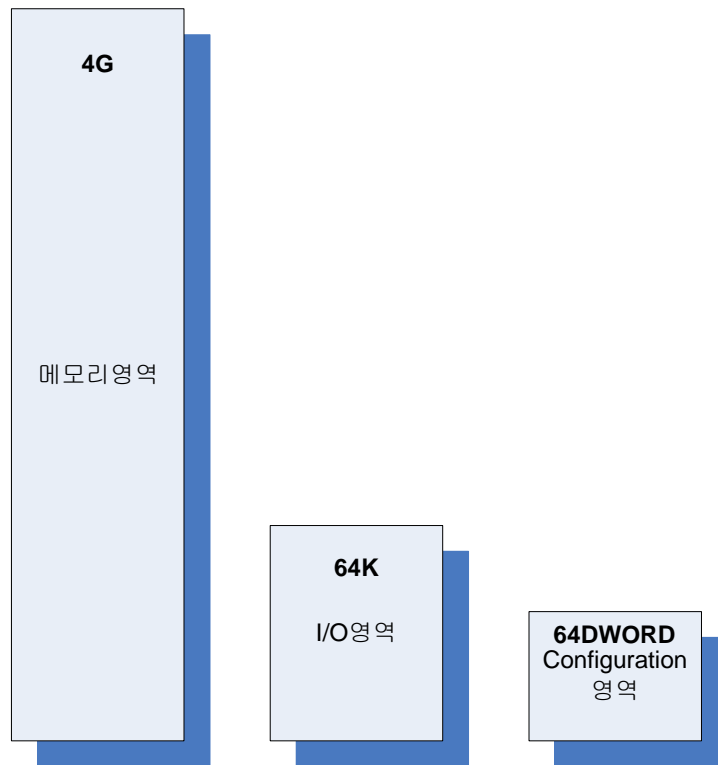
Copyrights © 2005 DAQ system, All rights reserved.

## -- 목 차 --

1. PCI BUS Address Space
  2. PCI-EK01 Functional Block Diagram
  3. I/O Address Usage
  4. Memory Address Usage
  5. Counter Usage
  6. Timer Usage
  7. UART Usage
  8. VGA Usage
  9. ADC Usage
  10. DAC Usage
  11. Digital I/O(82C55) Usage
  12. Interrupt Controller Usage
- References

## 1. PCI BUS Address Space

우리가 주로 사용하는 IBM PC의 경우 x86계열의 CPU를 사용하므로, 크게 메모리와 I/O 영역으로 구분할 수 있다. 그런데 PCI 버스의 경우 Plug & Play를 지원하기 위하여 별도의 Configuration 영역을 두어 장치에서 필요한 리소스 및 상태 명령을 저장할 수 있도록 하였다.

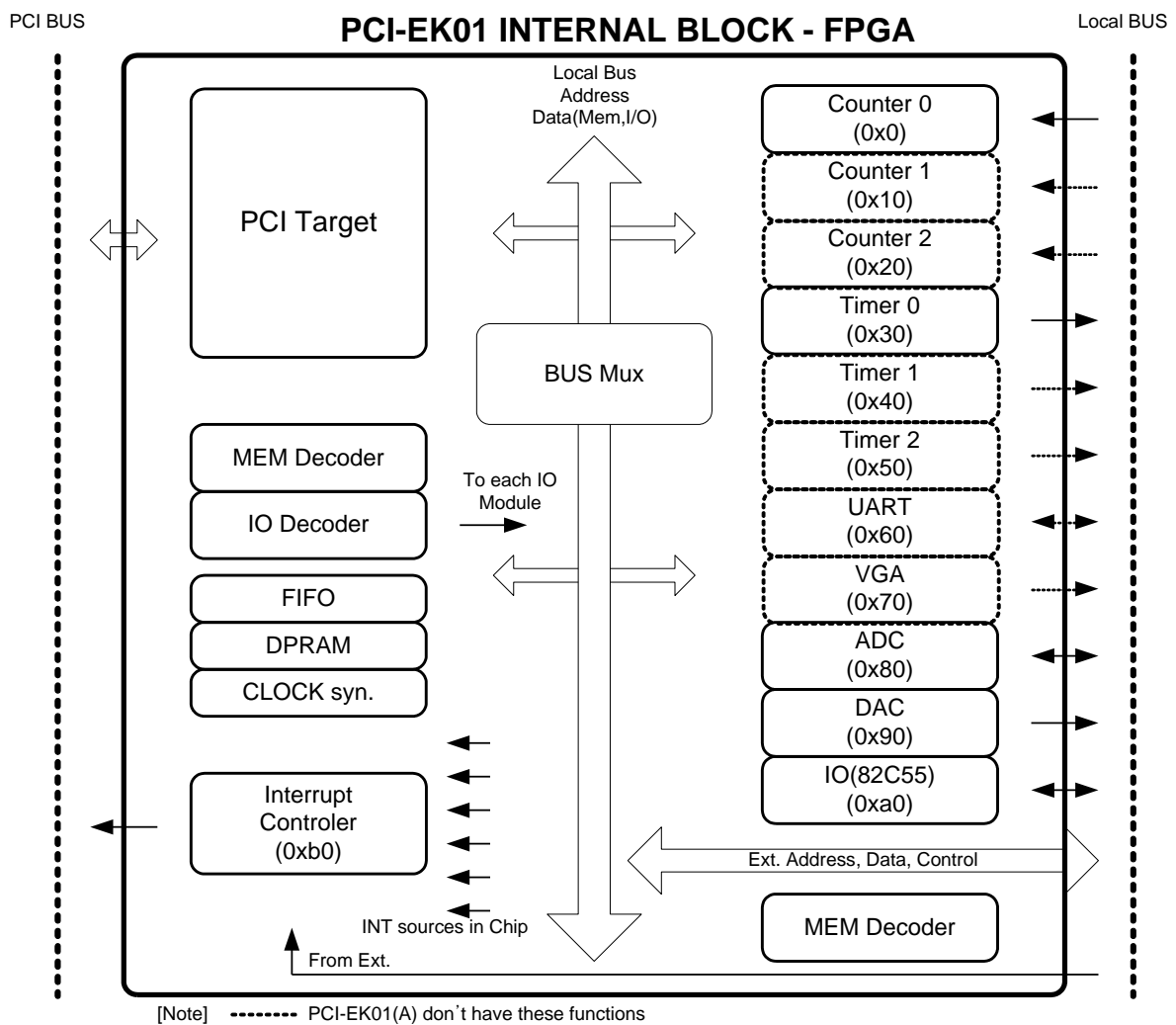


PCI-EK01의 경우 동작에 필요한 메모리 및 I/O를 시스템에서 할당 받아 사용하는데 요구하는 내용은 다음과 같다.

어드레스영역	요구 사항	비 고
메모리	최대 64MByte	
I/O	256 Byte	
Configuration	128 Byte	

## 2. PCI-EK01 Functional Block Diagram

시스템에서 할당 받은 어드레스 영역은 PCI-EK01내에서 아래 그림과 같이 구분이 되어 사용된다. 대부분의 주변 장치 제어 및 상태 레지스터는 I/O 영역에 있으며, 고속 SRAM만 메모리 영역에 위치한다. Configuration 영역은 시스템 부팅 시에 리소스 할당용으로만 사용이 되므로 대부분의 어플리케이션에서는 사용할 필요가 없다.



상기 그림에서 PCI-EK01(A/B)의 기능을 블록으로 나타내고 있는데, 점선으로 표시된 기능은 PCI-EK01(A)에서는 구현되지 않고 있다.

(㉞) UART 및 VGA 기능은 추후 업그레이드 용으로 마련되어 있다.

### 3. I/O Address Usage

아래 표는 I/O 영역 어드레스에 위치 하고 있는 주변장치의 베이스 어드레스를 나타낸다. 모든 I/O 레지스터는 32비트로 입/출력 처리를 한다.

I/O Address Offset Base	Function	Description	Comment
00h	Counter 0	32bit counter 0	
10h	Counter 1	32bit counter 1	PCI-EK01(B) Only
20h	Counter 2	32bit counter 2	PCI-EK01(B) Only
30h	Timer 0	32bit Timer 0	
40h	Timer 1	32bit Timer 1	PCI-EK01(B) Only
50h	Timer 2	32bit Timer 2	PCI-EK01(B) Only
60h	UART	Universal asynchronous receiver transmitter (RS232C)	PCI-EK01(B) Only
70h	VGA	VGA Display	PCI-EK01(B) Only
80h	ADC	Analog to Digital converter	
90h	DAC	Digital to Analog converter	
A0h	I/O (8255)	Digital Input/Output (82C55)	
B0h	Interrupt	Interrupt controller	
B0h-FFh	Reserved	Reserved space for future upgrade	

### 4. Memory Address Usage

보드에서 고속 SRAM만 메모리 영역에 위치되어 있으며, 메모리 영역은 항상 32비트로 입/출력 하여야 한다. PCI-EK01(A)에서는 메모리를 32비트로 처리하지만, 하위 16비트 만이 메모리 값이며 상위 16비트는 항상 '0'으로 표시된다. PCI-EK01(B)에서는 32비트이다.

메모리 읽기/쓰기는 최대 33M 사이클로 할 수가 있다.

Memory Address Space	Model	Description	Comment
0h - 100000h	PCI-EK01(A)	16Bit Bus width (High 16bit space is not used)	Total 512K Byte
0h - 100000h	PCI-EK01(B)	32Bit Bus width	Total 1M Byte

## 5. Counter Usage

PCI-EK01에서는 최대 3개의 32비트 카운터를 사용할 수 있으므로, 16비트 카운터에서의 프로그램 오버 헤드를 줄일 수 있다. 카운트는 카운트 입력의 상승 에지(LOW -> HIGH Transition) 에서 증가하며 인터페이스는 3.3V CMOS 로직 레벨이다. 최대 카운트 주파수는 20Mhz이다.

Function	I/O Address Offset	Register	Description
Counter 0	00h	CNT_CUR	Current 32bit counter value
	04h	CNT_TAR	Target 32bit counter value
	08h	COMMAND	Counter Control Command
	0Ch	STATUS	Counter Operation Status
Counter 1	10h	CNT_CUR	Current 32bit counter value
	14h	CNT_TAR	Target 32bit counter value
	18h	COMMAND	Counter Control Command
	1Ch	STATUS	Counter Operation Status
Counter 2	20h	CNT_CUR	Current 32bit counter value
	24h	CNT_TAR	Target 32bit counter value
	28h	COMMAND	Counter Control Command
	2Ch	STATUS	Counter Operation Status

(1) CNT\_CUR

현재 32비트 카운터 값을 저장한다.

초기값 : 0x00000000h

(2) CNT\_TAR

사용자가 32비트 카운터 값을 설정한다. 만약 설정된 카운터 값이 현재 값보다 크거나 같을 경우 STATUS 레지스터의 비트에 표시된다.

초기값 : 0xFFFFFFFFh

(3) COMMAND

Counter COMMAND Register Bit Position & Usage			
31	2	1	0
Reserved			Use

Bit	Name	Description	Default Value
0	Enable	'1'일 경우 Counter 동작을 하도록 한다.	'0'
1	Clear	'1'일 경우 CNT_CUR값을 0x00000000h로 초기화 한다.	'0'
31 - 2	Reserved	For future use	All '0'

(4) STATUS

Counter STATUS Register Bit Position & Usage			
31		2	1 0
Reserved			Use

Bit	Name	Description	Default Value
0	CNT_IN	외부 counter 핀의 현재 포트 상태 값을 나타낸다.	External
1	Over	CNT_CUR값이 CNT_TAR보다 같거나 클 경우 '1'로 된다.	'0'
31 - 2	Reserved	For future use	All '0'

## 6. Timer Usage

PCI-EK01에서는 최대 3개의 32비트 타이머를 사용할 수 있다. 타이머는 보드상의 50Mhz의 클럭을 이용하므로 분해능은 20nSEC 단위로 설정을 할 수가 있다. 따라서 최소 40nSEC 에서 최대 85,899,345,900 nSEC(약 86초)까지 설정 가능하다.

Function	I/O Address Offset	Register	Description
Timer 0	30h	TMR_CUR	Current 32bit Timer value
	34h	TMR_SET	Setted 32bit Timer value
	38h	COMMAND	Counter Control Command
	3Ch	STATUS	Counter Operation Status
Timer 1	40h	TMR_CUR	Current 32bit Timer value
	44h	TMR_SET	Setted 32bit Timer value
	48h	COMMAND	Counter Control Command
	4Ch	STATUS	Counter Operation Status
Timer 2	50h	TMR_CUR	Current 32bit Timer value
	54h	TMR_SET	Setted 32bit Timer value
	58h	COMMAND	Counter Control Command
	5Ch	STATUS	Counter Operation Status

(1) TMR\_CUR

현재 32비트 타이머 값을 저장한다. 카운트는 다운카운터이며 모든 비트가 0일 경우에 타임 아웃이 발생하며, 이는 상태레지스터에서 확인할 수 있다.

초기값 : 0x00000000h

(2) TMR\_SET

사용자가 32비트 타이머 값을 설정한다. 설정된 타이머 값이 TMR\_CUR 레지스터에 로드되어 사용된다.

Auto-reload mode에서 타임 아웃 시 출력을 반전(ALT = 0) 시킬 경우의 주파수를 식으로 나타내면 다음과 같다.

$$\text{주파수} = 25\text{M} / (\text{TMR\_SET} + 1) \text{이 된다.}$$

Auto-reload mode에서 타임 아웃 시 출력을 20nSEC 펄스(ALT = 1) 로 할 경우의 주파수를 식으로 나타내면 다음과 같다.

$$\text{주파수} = 50\text{M} / (\text{TMR\_SET} + 1) \text{이 된다.}$$

TMR\_SET 값은 최소 1 이상 이어야 한다

초기값 : 0xFFFFFFFFh



(3) COMMAND

Counter COMMAND Register Bit Position & Usage									
31									
Reserved							Used		

Bit	Name	Description	Default Value
0	Enable	‘1’일 경우 타이머 동작을 한다. (Down Counter)	‘0’
1	Clear	‘1’일 경우 TMR_CUR값을 0x00000000h로 초기화 한다.	‘0’
2	Auto	‘1’일 경우 타이머가 타임아웃이 발생할 때 자동으로 타이머 값을 TMR_SET의 값으로 리로드하여 동작하도록 한다.	‘0’
3	Alt	‘0’일 경우 타임아웃이 발생할 때마다 타임 아웃 출력 값을 반전시킨다. ‘1’일 경우 타임 아웃 시 20nSEC High Active Pluse를 타이머 출력에 발생시킨다.	‘0’
4	OutSel	‘1’일 경우 타임 아웃 출력을 일반 I/O로 사용할 수 있도록 하며 이때 출력 값은 “OutVal”이다, ‘0’일 경우 타이머의 값에 따라 one-shot 이나, 반전되는 출력을 내보낸다.	‘0’
5	OutVal	타이머 출력이 일반 I/O로 사용될 경우의 출력 값이다.	‘0’
6	Reserved	For future use	‘0’
7	Load	‘1’일 경우 TMR_SET값을 TMR_CUR로 로드하며, ‘0’일 경우 타이머 “Enable”이 ‘1’이 되어 있으면 타이머 동작을 한다.	‘0’
31 - 8	Reserved	For future use	All ‘0’

(4) STATUS

Counter STATUS Register Bit Position & Usage			
31		1	0
Reserved			Use

Bit	Name	Description	Default Value
0	TimeOut	타임 아웃이 발생할 경우(즉 TMR_CUR 값이 0)에 '1'로 된다.	'1'
31 - 1	Reserved	For future use	All '0'

## 7. UART Usage

현재 구현이 되어 있지 않으며, 추후 PCI-EK01(B) 모델에서 지원할 예정이다.

Function	I/O Address Offset	Register	Description
UART	60h	Register 0	For future use
	64h	Register 1	For future use
	68h	Register 2	For future use
	6Ch	Register 3	For future use

## **8. VGA Usage**

현재 구현이 되어 있지 않으며, 추후 PCI-EK01(B) 모델에서 지원할 예정이다.

Function	I/O Address Offset	Register	Description
VGA	70h	Register 0	For future use
	74h	Register 1	For future use
	78h	Register 2	For future use
	7Ch	Register 3	For future use

## 9. ADC Usage

PCI-EK01에서는 8개의 SE(Single Ended) ADC(Analog to Digital Converter)채널을 갖고 있다. 만약, Differential 방식으로 사용할 경우에는 4개를 사용할 수 있다. 최대 샘플링 속도는 초당 200Ksps 이며, 입력 범위는 옵션 설정에 따라 틀리지만 0 에서 Vref 또는 -Vref/2 에서 +Vref/2 이며, Vref의 값은 2.5V 이며, 3.3V으로도 선택을 할 수 있다. 분해 능력은 12비트이다.

READ POINTER, ADC\_PRD, TRG\_POS, TRG\_LEVEL, CH\_SEL0, CH\_SEL1, CH\_SEL2, CH\_SEL3의 경우 같은 I/O 번지에 위치 하고 있지만, COMMAND 레지스터의 reg\_sel 값에 따라서 다르게 접근할 수 있다.

Function	I/O Address Offset	Register	Description
ADC	80h	DATA	32Bit ADC data (Read/Write)
	84h	COMMAND	ADC Control command Register (Read/Write)
	88h	READ POINTER	ADC FIFO READ Pointer (Read only) reg_sel = "000"
	88h	ADC_PRD	ADC sampling period register(Read/Write) reg_sel = "001"
	88h	TRG_POS	Read H/W Trigger position (Read only) reg_sel = "010"
	88h	TRG_LEVEL	Set H/W Trigger level (Read/ Write) reg_sel = "011"
	88h	CH_SEL0	ADC Channel Select register 0(Read /Write) reg_sel = "100"
	88h	CH_SEL1	ADC Channel Select register 1(Read / Write) reg_sel = "101"
	88h	CH_SEL2	ADC Channel Select register 2(Read /Write) reg_sel = "110"
	88h	CH_SEL3	ADC Channel Select register 3(Read / Write) reg_sel = "111"
	8Ch	STATUS	ADC Status register (Read only) reg_sel = "00"
8Ch	READ POINTER	Set FIFO READ point Address (Write only)	

### (1) DATA

데이터 레지스터에 기록하는 데이터 값은 보드의 로컬 버스를 통하여 ADC 칩의 16비트 데이터 버스에 연결되어 있어서 직접 ADC 칩을 제어한다. PCI-EK01의 모든 I/O 및 메모리 액세스는 32비트 이지만 상위 16비트는 사용하지 않는다. 매뉴얼로 ADC 칩을 제어할 경우 칩 매뉴얼을 참조하여 ADC 내부의 레지스터를 제어한다. 가장 많이 사용하는 명령은 (0xE010)로 0번 채널에 SE 모드로 변환을 하는 명령이다. 변환 후 DATA 레지스터에 읽기 동작을 하면, ADC 변환 값을 읽을 수 있다. 자세한 사용법은 칩(AD7859AS) 매뉴얼을 참조한다.

ADC Data Register Bit Position & meaning																	
31	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						ADC Data Bus											D0

매뉴얼로 ADC 칩을 사용할 경우 COMMAND 레지스터의 Manual bit를 반드시 '1'으로 하여야 한다.

(2) COMMAND

ADC Command Register Bit Position & meaning																	
31	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			R	TA	HC	LC	TP	Reg_sel			E	TLoad		A	D	O	M

Bit	Name	Description	Default Value
0	Manual	‘1’일 경우 매뉴얼로 ADC를 제어한다. ‘0’일 경우 Free running <쥬 1>	‘0’
1	Operation	‘1’일 Normal mode trigger, ‘0’ Auto mode	‘0’
2	DIFF	‘1’일 경우 Differential 모드이며, ‘0’일 경우 Single Ended 모드이다.	‘0’
3	AMODE	Analog mode로 입력 범위를 설정한다. 칩 매뉴얼 참조	‘0’
6 - 4	Trg load	Trigger pace load	“000”
7	Ext	External trigger	‘0’
10-8	Reg sel	Register select	“000”
11	Trg Pol	Register select 아래 <쥬 2>	‘0’
12	Low Clear	Low RAM full clear(write only)	‘0’
13	High Clear	High RAM full clear(write only)	‘0’
14	Trg arm	Trigger Arm(write only)	‘0’
15	RESET	ADC 동작을 초기화 한다. (write only)	‘0’
31- 16	Reserved	For future use	All ‘0’

쥬 1. Manual bit

자동 모드시에 변환된 ADC 값은 칩 내부의 고속 램에 저장이 된다. 램은 두 개의 1024 워드(16비트)로 구성이 된다. 따라서 총 2048 16비트 워드가 저장이 된다. 만약 내부 램의 최상위 번지까지 저장이 되면, 다시 처음 번지로 이동하여 저장되므로 이전에 기록한 데이터 값은 손실된다.

쥬 2. reg\_sel

비트 10-8의 reg\_sel 값에 의하여 I/O offset address 88h에 읽기/쓰기가 특정 레지스터로 바뀌게 된다. 아래의 표는 reg\_sel 값에 의하여 선택되는 레지스터를 나타낸다. 예를 들면 CH\_SEL0에 값을 기록하기 위하여는 reg\_sel에 “100”을 기록하고 88h에 읽기/쓰기를 하면 CH\_SEL0에 읽기 쓰기를 하는 것이다.

Reg_sel	Selected Register
"000"	Read Pointer
"001"	ADC_PRD
"010"	TRG_POS
"011"	TRG_LEVEL
"100"	CH_SEL0
"101"	CH_SEL1
"110"	CH_SEL2
"111"	CH_SEL3

(3) STATUS

ADC 동작 상태를 나타낸다.

ADC STATUS Register Bit Position & meaning																		
31		16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			B	TD	HF	LF	TA	ADC FIFO Pointer										

Bit	Name	Description	Default Value
10-0	FIFO Ptr	ADC FIFO Pointer를 나타낸다. (읽기) 고속램 Read pointer를 설정한다. (쓰기)<주1>	'0'
11	Trg Arm	'1'일 경우 Trigger가 발생하기를 기다린다.	'0'
12	Low Full	'1'일 경우 하위 램 full	'0'
13	High Full	'1'일 경우 상위 램 full	'0'
14	Trg Done	'1'일 경우 Trigger done	'0'
15	Busy	'1'일 경우 ADC동작중임을 나타낸다.	'0'
31- 16	Reserved	For future use	All '0'

Status 레지스터에 쓰기 동작을 할 경우 비트 10에서 0은 램의 읽기 포인터를 설정하여 특정 번지에서 읽을 수 있게 한다.

(4) CH\_SEL0/1/2/3

ADC를 하드웨어 적인 SCAN(AUTO) 모드로 동작을 시킬 경우 아날로그 값을 얻고자 하는 특정 채널 만을 선택적으로 변환을 할 수가 있다. 이러한 기능은 Channel Select 레지스터를 통하여 가능하다. 각각의 Channel Select 레지스터는 0에서 7까지의 샘플링 채널 번호를 저장한다.

샘플 순서는, SAM\_CH0부터 SAM\_CH7까지 반복적으로 수행이 된다. 현재는 각 샘플 채널의 하위 3비트만 사용하고 있다.

ADC CH_SEL0 Register Bit Position & meaning																		
31		16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			SAM_CH1					SAM_CH0										

ADC CH_SEL1 Register Bit Position & meaning																		
31		16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			SAM_CH3					SAM_CH2										

ADC CH_SEL2 Register Bit Position & meaning																		
31		16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			SAM_CH5					SAM_CH4										

ADC CH_SEL3 Register Bit Position & meaning																		
31		16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			SAM_CH7					SAM_CH6										

SAM\_CH의 구조는 8비트로 하드웨어 채널 번호를 나타낸다. SE 모드에서는 비트 0에서 2까지 3비트만 의미가 있으며, 비트 7에서 3까지는 미래 기능 추가용으로 마련되어 있다. Differential 모드에서는 비트 0과 1만 의미가 있는 채널 번호를 나타낸다.

예를 들면, 하드웨어 채널 0번과 6번 만을 변환할 경우, SAM\_CH0/2/4/6에는 “0”을 SAM\_CH1/3/5/7에는 “6”을 기록한다.

모든 채널을 변환할 경우 각각의 SAM\_CH0에 변환하고자 하는 하드웨어 채널 번호를 기록한다. 이때 변환 순서는 번호를 기록하는 순서에 준한다.



(5) ADC Read Pointer

변환된 ADC 값은 칩 내부의 고속 램에 저장된다. 고속 램의 크기는 두 개의 1K 16비트 워드이다. (이전 외부 램에 저장하던 방식은 버전 1.1에서는 사용하지 않는다.)

버전 1.1에서는 연속적으로 샘플링 할 수가 있는데 이때 읽어내는 ADC 값의 번지는 ADC read pointer를 이용하여 알 수 있으며, 저장되는 ADC pointer는 Status 레지스터를 통하여 알 수 있다.

ADC Read Pointer																									
31														11	10	9	8	7	6	5	4	3	2	1	0
Reserved											Read Pointer address														

(6) ADC\_PRD

ADC Sampling period register Bit Position & meaning																															
31															16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											D15						Sampling Period Value						D0								

ADC의 최대 변환 속도는 200KSPS(5uSEC 주기)이다. ADC\_PRD의 값이 0/1 일 경우 이 최대 속도에 의하여 연속적으로 ADC 변환을 한다. 그러나, ADC\_PRD에 ‘0’이나 ‘1’이 아닌 다른 값이 있을 경우 샘플링 속도(주기)를 낮추어서 사용할 수 있다.

2일 경우 샘플링 주기는 7.5uSEC, 3일 경우 10uSEC 등이 되며, 이를 식으로 나타낼 경우 샘플링 주기는 다음과 같다.

$$\text{샘플링 주기} = 5.0\mu\text{SEC} + (\text{ADC\_PRD} - 1) \times 2.5\mu\text{SEC}$$

이때, ADC\_PRD 값이 0 과 1일 경우에는 예외로 최대 샘플링 주기인 5.0uSEC이다.

(7) Trigger position

H/W Trigger가 발생했을 때의 ADC 어드레스 값을 저장한다.

(추후 기능)

ADC Trigger position Register																										
31															11	10	9	8	7	6	5	4	3	2	1	0
Reserved											H/W Trigger position															

(8) Trigger control

H/W 트리거 레벨을 설정할 수 있다. (추후 기능)

ADC Trigger Level Register																	
31	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			SL	TRG_CH			H/W Trigger position										

Bit	Name	Description	Default Value
11-0	Trigger Level	트리거 레벨을 설정한다.	'0'
14-12	TRG ch	트리거에 사용될 채널을 설정한다.	"000"
15	Slope	'0'일 상승 에지 이며, '1'일 경우 하강 에지 이다.	'0'
31-16	Reserved	For future upgrade	All '0'

## 10. DAC Usage

PCI-EK01에서는 4개의 DAC(Digital to Analog Converter)를 가지고 있다. 최대 업데이트 속도는 초당 백만번(1M)이며, 출력 범위는 0 에서 3.3V 이며, 분해 능력은 12비트이다.

Waveform Generation기능을 위하여 1K word 깊이의 16비트 FIFO를 가지고 있다.

Function	I/O Address Offset	Register	Description
DAC	90h	DATA	32Bit DAC data
	94h	COMMAND	DAC Control command Register
	98h	DIV_VAL	DAC auto-reload interval value
	9Ch	LIMIT_ADDR	DAC auto-reload buffer limit address(Write only)
	9Ch	STATUS	DAC operation status Register(Read only)

### (1) DATA

데이터 레지스터에 기록하는 데이터 값은 내부 DAC 출력 FIFO에 자동으로 기록되어 추후 자동 모드에서 Waveform generation에 사용될 수 있다.

DAC Data Register Bit Position & meaning																	
31	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			A1	A0	$\overline{PD}$	$\overline{LD}$	D11				DAC DATA				D0		

DAC DATA : 12비트 분해능의 DAC 데이터

LD : Low Active Load ADC 즉 1일 경우에는 단순히 DAC 버퍼에 데이터 값을 저장하고, '0'일 경우에는 버퍼에 있는 값을 DAC에 출력한다. 따라서 먼저 3개의 DAC 버퍼에 값을 기록하고, 마지막에 '1'로 하여 기록을 하면 4개의 DAC 값을 동시에 출력할 수 있다.

PD : Low Active Power Down 즉 '0'일 경우에 DAC를 저전력 모드로 한다. 평상시 동작에서는 반드시 '1'로 한다.

A1/A0 : Address로 4개의 DAC 중에 하나를 선택한다.

A1	A0	DAC Output
0	0	DAC 0
0	1	DAC 1
1	0	DAC 2
1	1	DAC 3

읽기 동작에서는 FIFO의 값을 나타낸다.

자세한 사용법은 칩(AD5324) 매뉴얼을 참조한다.

(2) COMMAND

DAC Command Register Bit Position & meaning								
31			7	6	3	2	1	0
Reserved			M	Reserved		R	I	A

Bit	Name	Description	Default Value
0	Auto	‘1’일 경우 Waveform generation 동작을 한다. (Down Counter) 이때, DAC 값은 내부에 있는 FIFO를 이용한다.	‘0’
1	Int_en	‘1’일 경우 Interrupt Enable. 내부의 FIFO 어드레스 값이 Limit 값까지 도달하게 되면 인터럽트를 발생한다. (추후 적용, 반드시 ‘0’으로 한다.)	‘0’
2	Reset	‘1’일 경우 DAC를 초기화 한다. ‘0’일 경우 정상 동작 모드로 만든다. 리셋 시에 내부 FIFO의 값은 변하지 않지만 FIFO 포인터를 초기화 하므로 DAC 값을 처음부터 기록할 수 있다.	‘0’
6 - 3	Reserved	For future use	“1111”
7	Manual	‘1’일 경우 매뉴얼로 DAC 값을 채널 별로 설정할 수 있다. (데이터 레지스터 참조)	‘1’
31 - 8	Reserved	For future use	All ‘0’

[참조] Divide가 ‘0’일 경우 DAC의 업데이트 주기는 초당 1uSEC이며, ‘1’일 경우에는 DIV\_VAL 값에 따라서 틀러진다.

(㉞) 자동 모드로 동작을 하다가, 매뉴얼 모드로 동작을 할 경우 리셋 동작을 한번 해야 한다.

(3) DIV\_VAL

DIV\_VAL이 0일 경우 2uSEC이며, 1일 경우에는 4uSEC, 2일 경우에는 6uSEC, 3일 경우에는 8uSEC 즉, 이를 식으로 나타내면 업데이트 주기는 2uSEC x (DIV\_VAL + 1)이다.

DAC DIV_VAL Register Bit Position & meaning																	
31																	
Reserved							D11										

초기값 : 0x0000h

(4) LIMIT\_ADDR

내부 FIFO를 이용하여 Waveform을 만들 경우 임의 주기 파형을 만들기 위하여는 특정 번지에서 처음 번지로 이동을 해야 한다. 이때 사용되는 것이 Limit Address이다. 즉, FIFO의 0번지에서 233번지까지만 waveform을 만들 경우 LIMIT\_ADDR값을 233으로 기록하면, 233번지까지 DAC를 출력하고 처음 0번지로 이동한다.

DAC LIMIT_ADDR Register Bit Position & meaning												
31		10	9	8	7	6	5	4	3	2	1	0
Reserved			A9 FIFO Address limit value A0									

초기값 : 0x3E7h (999d)

(5) STATUS

DAC STATUS Register Bit Position & meaning												
31		10	9	8	7	6	5	4	3	2	1	0
Reserved			A9 FIFO Address A0									

Bit	Name	Description	Default Value
9 - 0	FIFO Address	10비트 FIFO 어드레스를 나타낸다. COMMAND 레지스터의 Auto 비트가 '0'일 경우 쓰기 어드레스를 나타내며, '1'일 경우에는 읽기 어드레스(ADC출력값)를 나타낸다.	All '0'
31-10	Reserved	For future use	All '0'

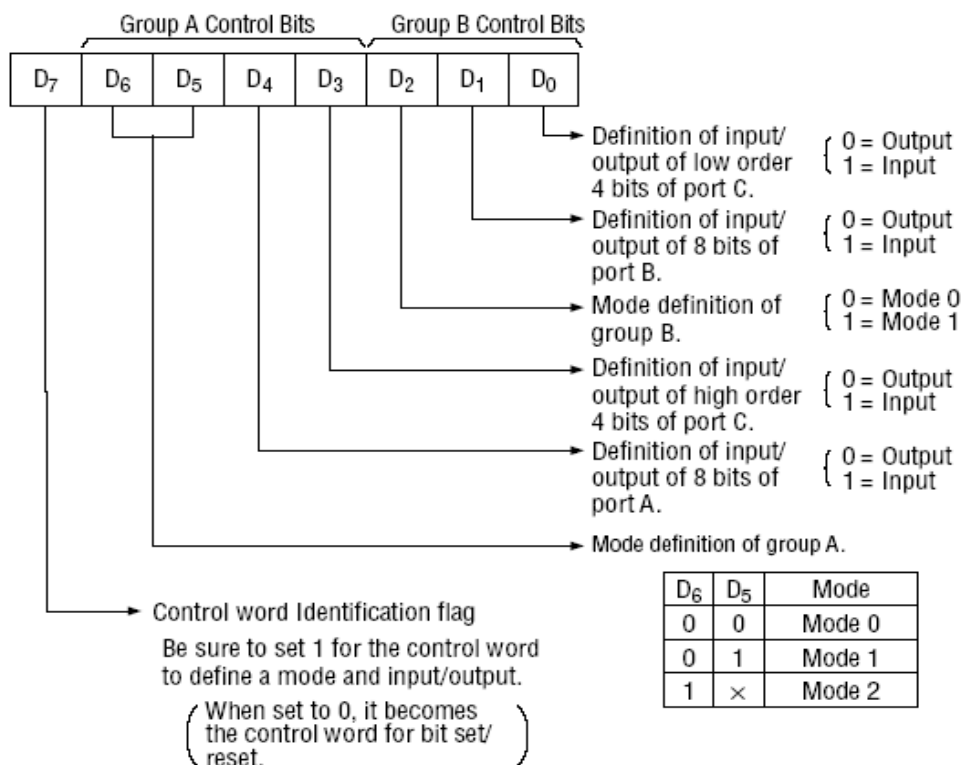
## 11. Digital I/O(82C55) Usage

PCI-EK01의 Digital Input/Output 기능은 82C55를 이용하여 구현되어 있다. 82C55의 경우 초창기 Intel x86계열의 주변장치 제어 칩으로 사용되면서 널리 사용되어 왔다.

Function	I/O Address Offset	Register	Description
I/O(82C55)	A0h	PORTA	82C55 Port A Register
	A4h	PORTB	82C55 Port B Register
	A8h	PORTC	82C55 Port C Register
	ACh	CONTROL	82C55 Control Register (Write Only)

82C55의 포트를 제어하기 위하여는 먼저 컨트롤 레지스터를 통하여 모드 설정을 하여야 한다. 모두 설정을 하기 위하여는 최상위 비트를 “1”로 설정하고 컨트롤 레지스터에 쓰면 된다. 만약 최상위 비트를 “0”으로 할 경우 PORTC의 비트 설명 명령이 된다. (자세한 내용은 82C55 매뉴얼을 참조하기 바람)

최초 전원 인가 시에 모든 포트는 입력이며, 동작 모드는 0이 된다.



## 12. Interrupt Controller Usage

PCI-EK01은 각 I/O 장치의 동작을 하드웨어 인터럽트를 사용하여 처리할 수 있도록 인터럽트 컨트롤러를 가지고 있다.

이러한 인터럽트를 사용하게 되면, 폴링 방식을 사용하지 않아도 되므로 프로세스의 오버헤드를 줄일 수 있다.

Function	I/O Address Offset	Register	Description
INTERRUPT	B0h	INT_STA	Interrupt Status Register (Read)/ Interrupt Status Clear (Write)
	B4h	INT_SEL	Interrupt Select(Read/Write)
	B8h	INT_EN	Interrupt Enable Register (Read/Write)
	BCh	INT_SRC	Interrupt Source Indicator(Read Only)

82C55의 포트를 제어하기 위하여는 먼저 컨트롤 레지스터를 통하여 모드 설정을 하여야 한다. 모두 설정을 하기 위하여는 최상위 비트를 “1”로 설정하고 컨트롤 레지스터에 쓰면 된다. 만약 최상위 비트를 “0”으로 할 경우 PORTC의 비트 설명 명령이 된다. (자세한 내용은 82C55 매뉴얼을 참조하기 바람)

최초 전원 인가 시에 모든 포트는 입력이며, 동작 모드는 0이 된다.

### (1) INT\_STA (Interrupt Status)

현재 인터럽트를 요구하는 장치를 나타낸다. 상태 레지스터에 나타나는 것은 반드시 처리를 해주어야만 한다. (읽기)

인터럽트 처리를 요구하는 각 장치의 상태 비트(INT\_STA)를 소거한다. (쓰기)

이때 인터럽트 처리를 요구하는 장치의 비트를 “1”로 하고 쓰기 동작을 하여야만 해당하는 상태 비트가 소거된다(에지 트리거 인터럽트). 레벨 트리거의 경우 각 장치의 인터럽트 요구를 직접 소거 해주어야 한다.

INTERRUPT Status Register Bit Position & meaning																		
31		16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			G	S14											Status		S0	

Bit	Name	Description	Default Value
0	Counter 0	‘1’일 경우 카운터 0가 인터럽트 처리 요구	‘0’
1	Counter 1	‘1’일 경우 카운터 1이 인터럽트 처리 요구	‘0’
2	Counter 2	‘1’일 경우 카운터 2가 인터럽트 처리 요구	‘0’
3	Timer 0	‘1’일 경우 Timer 0 인터럽트 처리 요구	‘0’
4	Timer 1	‘1’일 경우 Timer 1 인터럽트 처리 요구	‘0’

5	Timer 1	‘1’일 경우 Timer 2 인터럽트 처리 요구	‘0’
6	UART	Reserved	‘0’
7	VGA	Reserved	‘0’
8	ADC	Reserved	‘0’
9	DAC	Reserved	‘0’
10	8255	Reserved	‘0’
11	Interrupt	Reserved	‘0’
12	EXT0	Reserved	‘0’
13	EXT1	Reserved	‘0’
14	EXT2	Reserved	‘0’
15	Global	위의 인터럽트 소스 중 하나라도 처리 요구를 하는 것이 있을 경우 ‘1’로 변함.	‘0’
31-16	Reserved	For future use	All ‘0’

인터럽트 처리가 끝나게 되면 반드시 각 해당 비트의 인터럽트 상태 비트를 소거해 주어야 한다. 소거하고 싶은 비트를 ‘1’로 한 후 쓰기 동작을 하면 해당 비트의 인터럽트 상태가 소거된다. 비트 15는 리셋(Reset) 비트로 모든 상태를 동시에 소거한다.

(2) INT\_SEL

인터럽트 처리를 요구하는 각 장치의 인터럽트를 레벨 트리거로 할 것인가 아니면 에지 트리거로 할 것인가를 결정한다.

INTERRUPT Select Register Bit Position & meaning																	
31	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			M14			Interrupt Mode										M0	

비트 0에서 14까지는 인터럽트 모드 선택을 한다.

‘0’일 경우 레벨 트리거이며, ‘1’일 경우 에지 트리거이다. 디폴트로 모든 비트는 ‘0’임



(3) INT\_EN

각 인터럽트 소스의 인터럽트를 가능하도록 한다.

INTERRUPT Enable Register Bit Position & meaning																	
31	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		G	E14										Enable				E0

각 비트가 '1'일 경우 해당 비트에 맞는 장치의 인터럽트가 가능하게 된다

비트 15는 Global Interrupt Enable 비트이므로, 이 비트가 '1'이 되어야만 모든 인터럽트가 가능하게 된다.

(4) INT\_SRC

INT\_STA 레지스터에 나타나는 것은 각 인터럽트 요구 장치의 출력 신호의 상승 에지에서 래치된 것이다. 따라서 레벨 트리거가 아닌 에지 트리거 방식의 표시이다. 따라서 인터럽트를 요구하고 소거될 수가 있는 반면에 INT\_SRC에서는 인터럽트 요구 장치의 현재 출력 신호 상태를 나타낸다.

INTERRUPT Source Indicator Bit Position & meaning																
31	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		S14										Interrupt Source				S0

## References

1. AD7859 Data Sheets Rev. A  
-- Analog Device, Inc
2. AD5304/5314/5324 Data Sheets Rev. D  
-- Analog Device, Inc
3. PCI-EK01 (A/B) User's Manual  
-- DAQ system
4. 82C55 Chip Manual  
-- Intel corp.